

#19118

CLIPPEDIMAGE= JP362018714A
PAT-NO: JP362018714A
DOCUMENT-IDENTIFIER: JP 62018714 A
TITLE: FORMING METHOD FOR ALIGNMENT MARK

PUBN-DATE: January 27, 1987

INVENTOR-INFORMATION:

NAME
DEGUCHI, KIMIKICHI
KOMATSU, KAZUHIKO
ODA, MASATOSHI
HIRATA, KAZUO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NIPPON TELEGR & TELEPH CORP <NTT>	N/A

APPL-NO: JP60158781

APPL-DATE: July 18, 1985

INT-CL (IPC): H01L021/30; C23F004/00 ; H01L021/302

US-CL-CURRENT: 438/975

ABSTRACT:

PURPOSE: To obtain a high optical contrast in simply forming steps by providing a resist having corrosion resistance by a dry etching method only on a portion to have a high reflectivity, and etching by the dry etching method.

CONSTITUTION: A resist 15 having corrosion resistance is coated by a dry etching method on a semiconductor substrate 10 to form a resist pattern 24 of an alignment mark pattern and portions 23-a, 23-b having no resist. The pattern 24 is so formed in size as to have a high reflecting portion of the alignment mark and the portions 23-a, 23-b are so formed in size as to be equal to the low reflecting portion of the mark. When dry

filled with
ultrafine square- sectional conical projection groups 25-a,
25-b. Then, the
resist 15 is removed. According to the above method, the
alignment mark having
high contrast can be simply formed.

COPYRIGHT: (C)1987, JPO&Japio

⑫ 公開特許公報 (A) 昭62-18714

⑬ Int.Cl.

H 01 L 21/30
C 23 F 4/00
H 01 L 21/302

識別記号

府内整理番号
Z-7376-5F
A-6793-4K
A-8223-5F

⑭ 公開 昭和62年(1987)1月27日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 アライメントマークの形成方法

⑯ 特願 昭60-158781

⑰ 出願 昭60(1985)7月18日

⑱ 発明者	出口 公吉	厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内
⑲ 発明者	小松 一彦	厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内
⑳ 発明者	小田 政利	厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内
㉑ 発明者	平田 一雄	厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内
㉒ 出願人	日本電信電話株式会社	東京都千代田区内幸町1丁目1番6号
㉓ 代理人	弁理士 鈴江 武彦	外2名

明細書

〔発明の技術的背景とその問題点〕

1. 発明の名称

アライメントマークの形成方法

2. 特許請求の範囲

光に対して高反射率を有する部分と低反射率を有する部分から構成され、これら両部分により反射される反射光を検出して、これら両部分が形成された基板の位置決め制御を行うためのアライメントマークの形成方法において、高反射率となすべき部分にのみプラズマを利用したドライエッティング法に耐食性を有する部材を設けて、該ドライエッティング法によりエッティングし、該アライメントマークの該低反射率となすべき部分に微小な凹凸群を形成することを特徴とする。

近年の半導体集積回路の高集成度化に伴い、回路パタンの寸法は微細化をたどっている。このため、回路パタンを半導体基板に転写する露光装置には、高解像性のみならず高アライメント精度が要求されるようになってきた。

従来の露光装置における露光用マスクと被露光基板とのアライメントは、両者のアライメントマークに光を照射して得られる反射光を検出して、両者の相対位置を合わせ込む手法によって行っている。

このようなアライメント装置として、例えば特願昭55-034369号がある。第3図を用いてアライメントマークの検出原理を説明す。

3. 図面の詳細

発明の技術分野

本発明は、半導体集積回路の製造工程において、被露光基板に設けるアライメントマークの形成方法に関するものである。

高反射部、3は透過部、4は基板1の上に設けられたウェハのアライメントマークで、5は高反射部、6-a, 6-bは低反射部である。両者のアライメントマークに照明光7を照射して得

られる反射光 8-a, 8-b, 9 を ITV カメラ、CCD カメラ等の受光器で検出すると、同図(b)に示すような電気信号が得られる。11-a, 11-b がマスクアライメントマークに対応する信号、12 がウェハアライメントマークに対応する信号である。この電気信号からマスクとウェハのアライメントマークの相対位置関係を検出して、両者の関係が決められた値を満たすようにマスクとウェハのアライメント装置を制御する。このようなアライメント装置において、アライメント精度を高くするには、マスクとウェハのアライメントマークの検出信号の S/N 比を高くすることが要求される。即ち、アライメントマークの光学的コントラストが高いことが要求される。特に、ウェハのアライメントマークの低反射部 6-a, 6-b からの反射光はバックグラウンド 13-a, 13-b となるため、極力小さい値に抑えることが重要となる。そのためには、マーク形状を最適化することが望ましい。

14 に形成されたパタン 18, 19 をマスクとして半導体基板 10 に対する導方的エッティング処理としてのプラズマエッティング処理をなし、円弧状断面を有する多数の微小窓みの配列からなる領域 20-a, 20-b を形成し、然る後、エッティングマスク材層 14 を半導体基板 10 上り除去し、同図(e)の目的とするアライメントマークを得る。

本アライメントマークは、第3図の低反射部 6-a, 6-b に対応する部分が多数の微小な円弧状パタン 21-a, 21-b となるため照明光に対する反射率が低下する。これに対し、第3図の高反射部 5 に対応する部分は平滑面 22 となるのでアライメントマークのコントラスト

形成方法では、第4図のマスク材層 14 を形成した後、特別なラインアンドスペースレジストパタン 16-a, 16-b を形成する必要がある等工事が複雑となる問題があった。さらに、

このような、コントラストの高いウェハへのアライメントマーク及びその製法については、特開昭58-90728号公報に開示されている。第4図を用いてアライメントマークの製法について説明する。先ず、同図(a)の半導体基板 10 の主面上に、SiO₂, Si₃N₄ 等のマスク材層 14 を形成する。次に、同図(b)に示す如くマスク材層 14 上にフォトレジスト 15 を塗布し、多数のラインアンドスペースレジストパタン 16-a, 16-b と直線レジストパタン 17 を、それぞれ第3図の低反射部 6-a, 6-b、高反射部 5 のサイズに等しくなるようフォトリソグラフィにより形成する。然る後、同図(c)に示す如く、フォトレジストパタンをマスク材層 14 に対するエッティング処理により、フォトレジストパタンに対応した、多数のラインアンドスペースマスク材層パタン 18-a, 18-b と直線マスク材層パタン 19 をマスク材層 14 に形成し、次いでフォトレジスト 15 を除去する。次に、同図(d)に示す如くマスク材層

第4図(e)の円弧状パタン 21-a, 21-b を得るため、エッティングを最適条件で停止する必要があり、最終判定が難しかった。このエッティングがアンダーあるいはオーバーとなるとアライメントマークのコントラストが低下するため欠陥となる問題があった。このように、エッティング条件にマージンがないため歩留りが高くなれ欠点を有していた。

(発明の目的)

本発明は、被露光基板に設けるアライメントマークの形成方法において、アライメントマークの光学的なコントラストが高く、形成工程が簡便でかつ高い歩留りを有するアライメントマークの形成方法を提供することにある。

技術背景

マスク材層及び微小な凹凸部を形成するためのラインアンドスペースレジストパタンを形成することなく、一回のドライエッティングによりアライメントマークを形成できることに

ある。従来のマーク形成技術とは、エッティングマスク材層の形成工程と、これに対するドライエッティング工程及びマスク材層の除去工程が異なる点が異なる。

【発明の実施例】

本発明は、光に対して高反射率を有する部分と低反射率を有する部分とから構成され、これら両部分により反射される反射光を検出して、これら両部分が形成された基板の位置決め調節を行うためのアライメントマークの形成方法において、高反射率となすべき部分にのみプラズマを利用したドライエッティング法に耐食性を有する部材を設けて、該ドライエッティング法によりエッティングし、該アライメントマークの該低反射率となすべき部分に微小な凹凸群を形成するもので、以下図面を参照して詳細に説明する。

実施例1

第1図は第1の実施例を説明する概略図である。同図(a)の半導体基板10にシリコン単結晶で面方位(100)のウェハを用いて、その表

~2mmとなる。次に、第1図(b)のレジスト15を公知の方法で除去すれば第1図(c)に示す形状となる。レジストバタン下部26は平滑表面のままであるが、エッティング部の突起群25-a, 25-bは表面が粗面となるため、照明光に対する反射率は極めて小さく黒体に近い表面となる。したがって、本アライメントマークを光学的に検出すると、極めて高いコントラストが得られる。

このように、本発明によれば、第4図に示した従来方法に比べ極めて簡便にかつ極めて高いコントラストを有するアライメントマークを形成できる。さらに、従来方法に比べエッティングのマージンが大きいため、歩留りの高いアライ

面にドライエッティング法に耐食性を有するレジスト15を塗布し、アライメントマークバタンのレジストバタン24、レジストのない部分23-a, 23-bを公知の方法にて形成する。レジストバタン24は第3図のアライメントマークの高反射部5のサイズに、レジストのない部分23-a, 23-bは第3図のアライメントマークの低反射部6-a, 6-bのサイズにそれぞれ等しくなるよう形成する。次に、 CCl_4, F_2 をガスとして高周波グロー放電を利用してドライエッティングを施せば、第1図(a)のレジストのない部分23-a, 23-bは、第1図(b)の25-a, 25-bに示す如く微小な四角錐状の突起群で溝たされる。このドライエッティング法と形状については、K. Hirata et al., Dry Etching Technology for 1 μm VLSI Fabrication, IEEE ED-28(11) P1323 (1981)に開示されている。その寸法はおおむね底辺1μm²、高さ1

同様にレジスト15を塗布し、アライメントマークバタンのレジストバタン24およびレジストのない部分23-a, 23-bを形成する。次に、 CF_4 と O_2 の混合ガスを用いて高周波グロー放電を利用してドライエッティングを施せば、レジストのない部分23-a, 23-bは同図(b)に示す如く微小な柱状結晶が林立した凹凸群28-a, 28-bが得られる。このドライエッティング法と形状については、小田等、M.O.膜の結晶構造とプラズマエッティング特性、第2回ドライプロセスシンポジウム予稿集 P87 (1980)に開示されている。次でレジスト15を公知の方法にて除去すれば同図(c)となる。レジストバタン下部29は平滑表面のままであ

実施例2

第2図は本発明の他の実施例を説明する概略図である。同図(a)の基板10にMo膜27が形成されたウェハに公知の方法にて、実施例1と

同時塗り重ねて小さく黒体に近い表面とする。このように、本発明によれば、Moのような金属膜に対しても極めて簡便にかつ極めて高いコントラストを有するアライメントマークを形

成できる。

本発明は、以上の実施例に限定されることはなく、公知のドライエッティング法を適用すれば種々の材料の表面状態を光学的に反射率の低い微小な凹凸形状になし得るため、その応用範囲は極めて広い。

[発明の効果]

以上説明したように本発明によれば、被露光基板に設けるアライメントマークの照明光に対するコントラストを大幅に改善でき、しかも、その形成方法が極めて簡便でかつ極めて高い歩留りが得られる利点を有する。

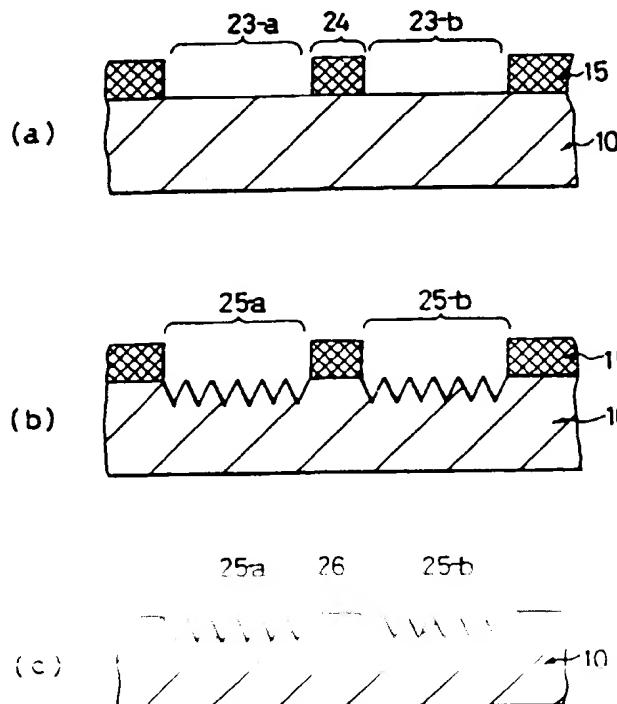
図面の簡単な説明

第1図は本発明の一実施例を示す断面図、第2図は本発明の他の実施例を示す断面図、第3図はアライメントマークの検出原理を説明する図、第4図は従来のアライメントマークの形成方法を説明する断面図である。

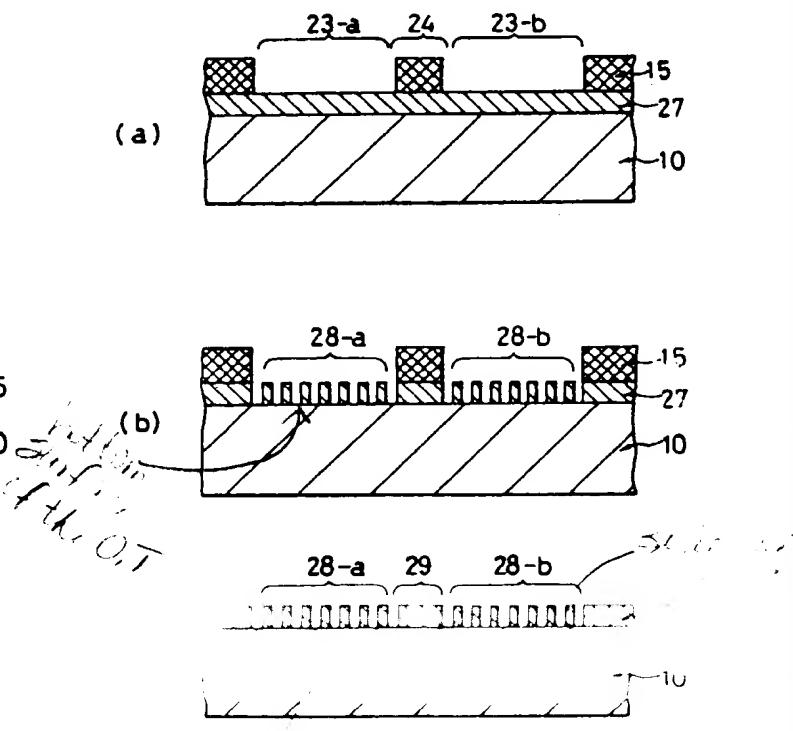
1…マスクのアライメントマーク、2…高反射部、3…通過部、4…ウェへのアライメント

マーク、5…高反射部、6…低反射部、7…黒明光、8…マスクマークからの反射光、9…ウェハマークからの反射光、10…基板、11…マスクマークの検出信号、12…ウェハマークの検出信号、13…バックグランド、14…マスク材層、15…レジスト、16…ラインアンドスペースレジストバタン、17…直線レジストバタン、18…ラインアンドスペースマスク材層バタン、19…直線マスク材層バタン、20…円弧状断面を有する多数の微小窪みの配列からなる領域、21…円弧状バタン、22…平滑面、23…アライメントマークバタンのレジストのない部分、24…アライメントマークバタンのレジストバタン、25…微小な四角錐状の突起群、26…レジストバタン下部、27…MO膜、28…微小な柱状結晶が林立した凹凸群、29…レジストバタン下部。

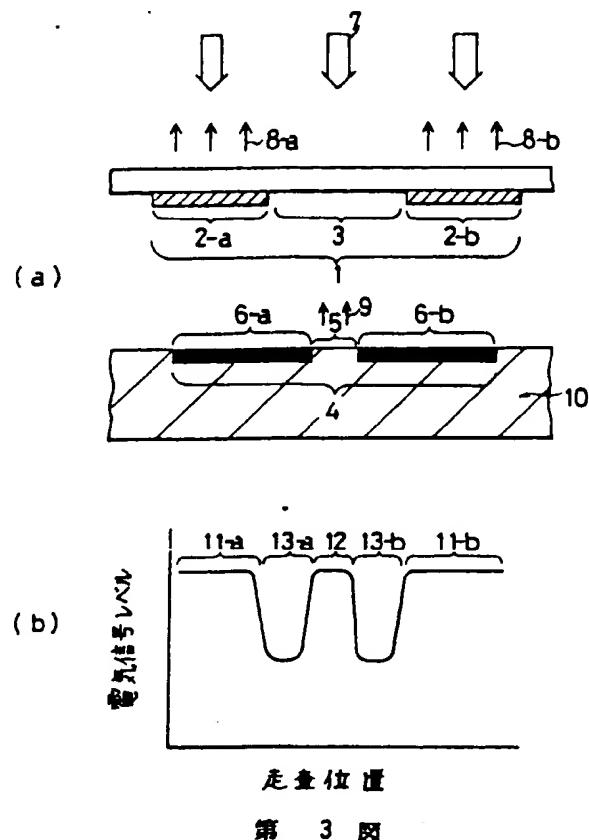
出願人代理人 弁理士 鈴江武彦



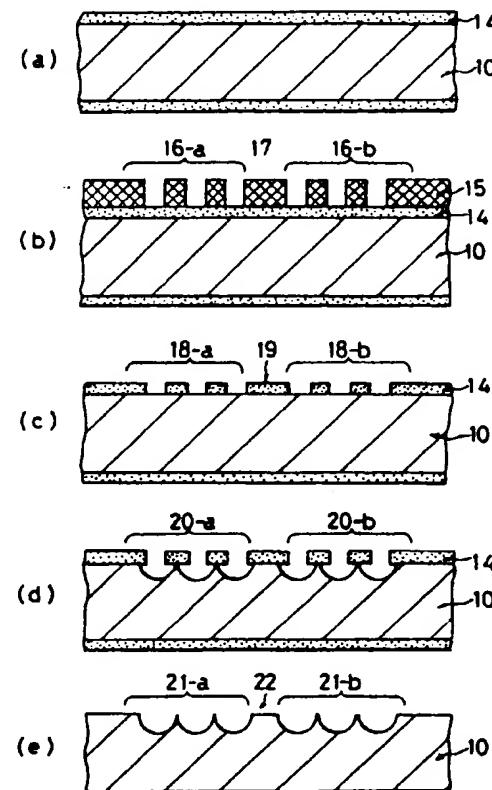
第 1 図



第 2 図



第 3 図



第 4 図

[Translation]

(19) Japanese Patent Office (JP)

(11) Japanese Patent Application Kokai Publication No. Sho 62[1987]-18714

(12) Official Gazette for Kokai Patent Applications (A)

(43) Kokai Publication Date: January 27, 1987

(51) Int. Cl.⁴ Identification No. JPO File No.

H01L 21/30 Z-7376-5F

C23F 4/00 A-6793-4K

H01L 21/302 A-8223-5F

Examination request: Not filed Number of inventions: 1 (total 5 pages [original])

(54) Title of the Invention: ALIGNMENT MARK FORMING METHOD

(21) Application No. S60[1985]-158781

(22) Filing Date: July 18, 1985

(72) Inventor: Kokichi IDEGUCHI

c/o Nippon Telegraph & Telephone Corporation, Atsugi Telecommunications
Laboratories

3-1 Morinosatowakamiya, Atsugi-shi

(72) Inventor: Kazuhiko KOMATSU

c/o Nippon Telegraph & Telephone Corporation, Atsugi Telecommunications
Laboratories

3-1 Morinosatowakamiya, Atsugi-shi

(72) Inventor: Masatoshi ODA

c/o Nippon Telegraph & Telephone Corporation, Atsugi Telecommunications
Laboratories

3-1 Morinosatowakamiya, Atsugi-shi

(72) Inventor: Kazuo HIRATA

c/o Nippon Telegraph & Telephone Corporation, Atsugi Telecommunications
Laboratories

3-1 Morinosatowakamiya, Atsugi-shi

(71) Applicant: Nippon Telegraph & Telephone Corporation

1-1-6 Uchisaiwaicho, Chiyoda-ku, Tokyo

(74) Agent: Takehiko SUZUE, patent attorney (and two others)

Specification

1. Title of the Invention

ALIGNMENT MARK FORMING METHOD

2. Claims

A method for forming alignment marks, which comprise a part having high light reflectance and a part having low light reflectance, wherein positioning control of the substrate on which these parts are formed is performed by detecting the reflected light from both these parts, said alignment mark forming method characterized in fact that a member having corrosion resistance to dry etching methods using plasma is provided only on the part to have high reflectance, etching is performed by means of said dry etching method to form a finely roughened area on the part of the alignment marks to have low reflectance.

3. Detailed Description of the Invention

(Industrial Field of Application)

The present invention relates to a method for forming alignment marks provided on substrates exposed to light in semiconductor integrated circuit manufacturing processes.

(Technical Background of the Invention and Related Problems)

In recent years, the size of circuit patterns has continued to shrink in conjunction with ever increasing levels of integration in semiconductor integrated circuits. For this reason, in light exposure devices which transfer a circuit pattern to a semiconductor substrate, not only high-resolution but also a high level of alignment precision is demanded.

The alignment of an exposure mask and substrate to be exposed in a conventional exposure device has been performed using a process whereby the reflectance of light of both alignment marks is detected and the relative positions of both are aligned.

Japanese Patent Application Kokai Publication No. Sho 55-034369 provides an example of such an alignment device. The principle of detection of these alignment marks is explained referring to Fig. 3. In Fig. 3 (a), the reference numeral 1 denotes the alignment mark of a mask, 2-a and 2-b are the high-reflectance parts with respect to the irradiated light 7, 3 is a transmissive part, 4 is an alignment mark on a wafer provided on the substrate 10, 5 is the high-reflectance part and 6-a and 6-b are low-reflectance parts. When the reflected light of 8-a, 8-b and 9 obtained by reflection of irradiated light 7 on the two alignment marks is detected by means of a light receiver such as an ITV camera or CCD camera, electrical signals are obtained as indicated in Fig. 3 (b). Here 11-a and 11-b are signals corresponding to the mask alignment marks and 12 is a signal corresponding to the wafer alignment mark. The relative positional relationship of the mask and wafer alignment marks is detected from these electric signals, and the mask and wafer alignment devices are controlled so that the relationship between the two satisfies a predetermined value. In such an alignment device, in order to increase the alignment precision it is necessary to increase the SN ratio of the mask and wafer alignment mark detection signals. In other words, a high optical contrast between the alignment marks is required. In particular, since the reflected light from the low-reflectance parts 6-a and 6-b of the alignment mark on the wafer and background 13-a and 13-b it is important to keep this value as low as possible. For this purpose, the form of the mark should be optimized.

Such water alignment marks having a high contrast and their manufacturing method are disclosed in Japanese Patent Application Kokai Publication No. Sho 58-90728. This alignment

mark forming method is explained referring to Fig. 4. First, on the main face of the semiconductor substrate 10 in Fig. 4 (a), a mask material layer 13 such as SiO_2 or Si_3N_4 is formed. Next, as shown in Fig. 4 (b), a photoresist 15 is applied as a coating on the mask material layer 14, and a multiple line-and-space resist patterns 16-a and 16-b and a linear resist pattern 17 are formed by photolithography so as to be equal in size to the low-reflectance parts 6-a and 6-b and the high-reflectance part 5, respectively, in Fig. 3. Next, as shown in Fig. 4 (c), by means of an etching process on the mask material layer 14 using a photoresist pattern as a mask, multiple line-and-space mask material layer patterns 18-a and 18-b and a linear mask material layer pattern 19 corresponding to the photoresist pattern are formed on the mask material layer 14, and the photoresist 15 is then removed. Next, as shown in Fig. 4 (d), using the patterns 18 and 19 formed on the mask material layer 14 as masks, plasma etching is performed on the semiconductor substrate 10 as an isotropic etching process. Regions 20-a and 20-b are formed, comprising multiple rows of fine indentations having a cross-sectional arc form, and then the etching mask material layer 14 is removed from the semiconductor substrate 10 and the desired alignment marks shown in Fig. 4 (e) are obtained.

These alignment marks in the portions corresponding to the low-reflectance parts 6-a and 6-b in Fig. 3 have multiple fine arc-form patterns 21-a and 21-b and therefore have reduced reflectance of the irradiated light. In contrast, the portion corresponding to the high-reflectance part 5 in Fig. 3 has a smooth surface 22, thus providing high alignment mark contrast.

However, the conventional alignment mark forming method described above has the problem of excessive complexity, such as the fact that special line-and-space resist patterns 16-a and 16-b must be formed after the mask material layer 14 in Fig. 4 is formed. Moreover, in order to obtain the arc-form patterns 21-a and 21-b in Fig. 4 (e), it is necessary to stop etching under optimal conditions, and a final evaluation has been difficult. This results in the problem that the alignment mark contrast is reduced when the etching is insufficient or excessive. Thus, since there is no margin in the etching conditions, yield has been low.

(Purpose of the Invention)

The present invention has the purpose of offering an alignment mark formation method for substrates subject to light exposure, said alignment mark formation method having high optical contrast in alignment marks and allowing the marks to be formed by means of a simple and high-yield formation process.

(Summary of the Invention)

The characteristics of the present invention lie in the fact that alignment marks can be formed by a single dry etching process without an etching mask material layer or line-and-space resist patterns for the formation of a finely roughened area, which have been considered necessary in the past. It differs from prior mark forming techniques in that the etching mask material layer forming process and the dry etching process and mask material removal process for this layer are eliminated.

(Working Examples of the Invention)

The present invention is a method for forming alignment marks, which comprise a part having high light reflectance and a part having low light reflectance, wherein positioning control of the substrate on which these parts are formed is performed by detecting the reflected light from both these parts. Said alignment mark forming method characterized in fact that a member

having corrosion resistance is an etching methods using plasma is provided on the part having high reflectance, etching is performed by means of said dry etching method to form a finely roughened area on the part of the alignment marks to have low reflectance, and is explained in

detail below referring to the figures.

Working Example 1

Fig. 1 is a schematic drawing explaining Working Example 1. Using a silicon single-crystal wafer having a plane azimuth (100) as the semiconductor substrate 10 in Fig. 1 (a), the surface thereof is coated with a resist 15 that is resistant to corrosion by dry etching processes, and portions 23-a and 23-b without a resist are formed by a publicly known method. A resist pattern 24 is formed to a size equal to the high-reflectance part 5 in the alignment mark in Fig. 3, and portions 23-a and 23-b without a resist are formed to a size equivalent to the size of the low-reflectance parts 6-a and 6-b of the alignment mark in Fig. 3. Next, by performing dry etching by high-frequency glow discharge using CCl_2F_2 gas, the portions 23-a and 23-b without a resist in Fig. 1 (a) are filled with fine square conical projections as indicated by 25-a and 25-b in Fig. 1 (b). Dry etching methods and forms are disclosed in K. Hirata et al., Dry Etching Technology for 1 μm VLSI Fabrication), IEEE ED-28 (11) p. 1323 (1981). The dimensions are approximately 1 square μm at the base and 1 to 2 μm in height. Next, by removing the resist 15 shown in Fig. 1 (b) by means of a publicly known method, the form shown in Fig. 1 (c) is created. Although the lower portion 26 of the resist pattern remains smooth, since the surface having the protrusions 25-a and 25-b in the etched area is a roughened surface, the reflectance of irradiated light is extremely low, and a surface close to a black body is obtained. Accordingly, when the alignment marks are optically detected, extremely high contrast is obtained.

In this way, by means of the present invention, alignment marks having extremely high contrast can be formed by a very simple process compared to the conventional method shown in Fig. 4. Moreover, since the etching margin is greater than in conventional methods, alignment marks can be obtained with high yield and productivity is greatly improved.

Working Example 2

Fig. 2 is a schematic drawing explaining Working Example 2. A wafer on which a Mo film 27 is formed on the substrate 10 as shown in Fig. 2 (a) is coated with a resist 15, and a resist pattern 24 and portions 23-a and 23-b without a resist for the alignment marks are formed in the same way as in Working Example 1. Next, by performing dry etching by high-frequency glow discharge using a mixed gas of CF_4 and O_2 , on the portions 23-a and 23-b without a resist, irregular surfaces 28-a and 28-b, from which numerous fine rod-shaped crystals protrude as shown in Fig. 2 (b), are obtained. This dry etching process and form are disclosed in Ota et al., Second Dry Process Symposium Collected Papers, p. 87 (1980). Next, by removing the resist 15 by means of a publicly known method, the form shown in Fig. 1 (c) is created. Although the lower portion 29 of the resist pattern remains smooth, since the surface having the protrusions 28-a and 28-b in the etched area is a roughened surface, the reflectance of irradiated light is extremely low, and a surface close to a black body is obtained.

In this way, by means of the present invention, alignment marks having extremely high contrast can be formed by a very simple process with respect to a metallic film such as Mo as well.

The present invention is not limited to the foregoing working examples, and by using publicly known dry etching methods can be used in a wide range of applications to make the surface condition of various materials into a fine roughened surface having a low optical distance.

Effects of the invention

By means of the present invention, as explained above, it is possible greatly to improve contrast with respect to irradiated light of alignment marks formed on substrates to be exposed.

and to simplify the method of forming these marks and greatly improve production yield.

4. Brief Explanation of the Drawings

Fig. 1 is a cross-sectional drawings showing a working example of the present invention, Fig. 2 is a cross-sectional drawing showing another working example of the present invention, Fig. 3 is a drawing explaining the alignment mark detecting principle and Fig. 4 is a cross-sectional drawing explaining a conventional method of forming alignment marks.

1... alignment mark of mask, 2... high-reflectance part, 3... transmissive part, 4... wafer alignment mark, 5... high-reflectance part, 6... low-reflectance part, 7... irradiated light, 8... reflected light from mask mark, 9... reflected light from wafer more, 10... substrate, 11... detection signal of mask mark, 12... detection signal of wafer mark, 13... background, 14... mask material layer, 15... resist, 16... line-and-space resist pattern, 17... linear resist pattern, 18... line-and-space mask material layer pattern, 19... linear mask material layer pattern, 20... region having multiple fine depressions having cross-sectional arc form, 21... arc-form pattern, 22... smooth surface, 23... portion of alignment mark pattern with no resist, 24... resist pattern of alignment mark, 25... fine square conical protrusion group, 26... lower portion of resist pattern, 27... Mo film, 28... irregular surfaces from which numerous fine rod-shaped crystals protrude, 29... lower portion of resist pattern.

Agent for applicant: Takehiko Suzue, patent attorney

Fig. 3

[left] electrical signal level

[bottom] scanning position